Vier-Quadranten-Dividierer

(Four-Quadrant Divider)

H. Horbach

IPP III/62 Oktober 1980

MAX-PLANCK-INSTITUT FÜR PLASMAPHYSIK

8046 GARCHING BEI MÜNCHEN

MAX-PLANCK-INSTITUT FÜR PLASMAPHYSIK

GARCHING BEI MÜNCHEN

Vier-Quadranten-Dividierer

(Four-Quadrant Divider)

H. Horbach

IPP III/62 Oktober 198o

Die nachstehende Arbeit wurde im Rahmen des Vertrages zwischen dem Max-Planck-Institut für Plasmaphysik und der Europäischen Atomgemeinschaft über die Zusammenarbeit auf dem Gebiete der Plasmaphysik durchgeführt.

IPP III/62 H.Horbach Four-Quadrant Divider

October 198o
(in German)

Abstract

The use of conventional commercial dividers to separate two analog signals entails certain difficulties since they only work in the two-quadrant mode. As a rule, this imposes the condition that the divisor always has to be positive or always negative. Genuine four-quadrant operation, i.e. $Z \gtrless 0$ and $N \lessgtr 0$, is only possible by providing a two-quadrant divider with peripheral electronics. This can consist in, for example, rectifying the input signal so that, even though the two--quadrant divider works in the prescribed mode, it yields a result equivalent to that of a four-quadrant divider. This principle is treated in detail.

A simple block circuit diagram is used to describe the problems entailed in reversal of polarity. Two complementary field effect transistors connected to a fast operational amplifier allow the input signals to be rectified with the right sign. The control electronics of these FET's is discussed at lengths particularly the switching times. By means of two bipolar transistors operated in the unsaturated state it is possible to attain very short switching times. An error calculation then shows that four--quadrant operation continues to be a problem for very small input signals. With signal $U_e \geq 8o$ mV, however,an accuracy of ≤ 1 % can be expected.

Since the beginning of 198o the four-quadrant divider described has been used at Max-Planck-Institut für Plasmaphysik (ASDEX Project) in conjunction with other electronic devices to determine the vertical plasma position.

Inhaltsverzeichnis

		Seite
1.	Problematik; Prinzipschaltung eines Dividierers	1
1.1	Aufgabenstellung	1
2.	Blockschaltbild des Vier-Quadranten-Dividierers (VQD)	2
2.1	Funktionsweise	2
2.2	Polaritätsumpolung	3
	2.2.1 FET als Schalter	4
	2.2.2 Ansteuerung des Feldeffekttransistors	5
3.	Die Schaltung des VQD	9
3.1	Komplettes Schaltbild	1o
4.	Fehlerrechnung	14
4.1	Eingangsfehlspannung der Eingangsstufe	15
4.2	Eingangsfehlspannung des Polaritätsumpolers	15
5.	Elektrische Daten	18
6.	Literatur	19

1. Problematik; Prinzipschaltung eines Dividierers

Jede Division zweier analoger Signale läßt sich mit einem Multiplizierer und einem Verstärker realisieren. Abbildung 1 zeigt schematisch die Erweiterung vom Multiplizierer zum Dividierer

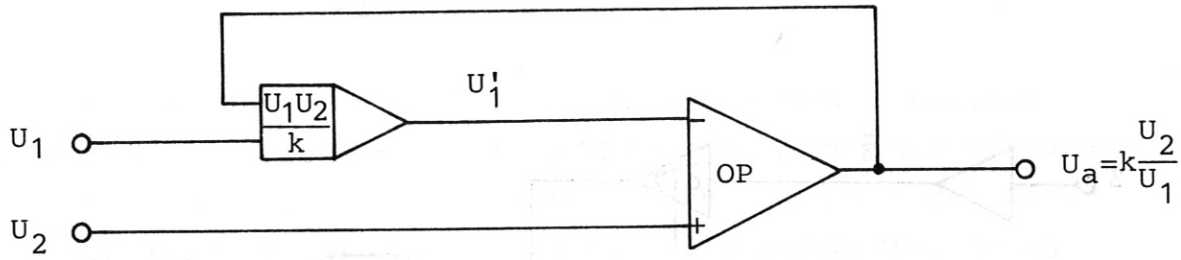


Abb. 1

Die Gegenkopplung des Differenzverstärkers bewirkt, daß $\frac{U_1 \cdot U_a}{K} = U_2$ wird; daraus folgt $U_a = k\ U_2/U_1$. Diese Art der Quotientenbildung hat den Nachteil, nur für $U_1 > 0$ relativ genau zu arbeiten. Wird nämlich die Eingangsspannung $U_1 < 0$, geht die Gegenkopplung des OP's über in eine Mitkopplung. Für kleine Werte von U_1, besonders für $U_1 \leq 0$, wird daher der Rechenfehler beliebig groß /1/.

1.1 Aufgabenstellung

Die in Abb.1 gezeigte Methode stellt einen Zwei-Quadranten-Dividierer (ZQD) mit relativ großem Fehler für $U_1 \to 0$ dar. Ziel dieses Aufsatzes soll es sein, einen Vier-Quadranten-Dividierer (VQD) mit hoher Genauigkeit vorzustellen.

Kernstück des Gerätes ist ein ZQD, der durch eine entsprechende äußere Beschaltung zum VQD erweitert wird. Ein Blockschaltbild, dessen einzelne Funktionsblöcke beschrieben und näher erläutert werden, führt über zur kompletten Schaltung. Umfang-

reiches Fotomaterial veranschaulicht die Funktionsweise des fertigen Gerätes. Eine abschließende Fehlerbetrachtung und eine Auflistung der technischen Daten beschließen den Bericht.

2. Blockschaltbild des Vier-Quadranten-Dividierers (VQD)

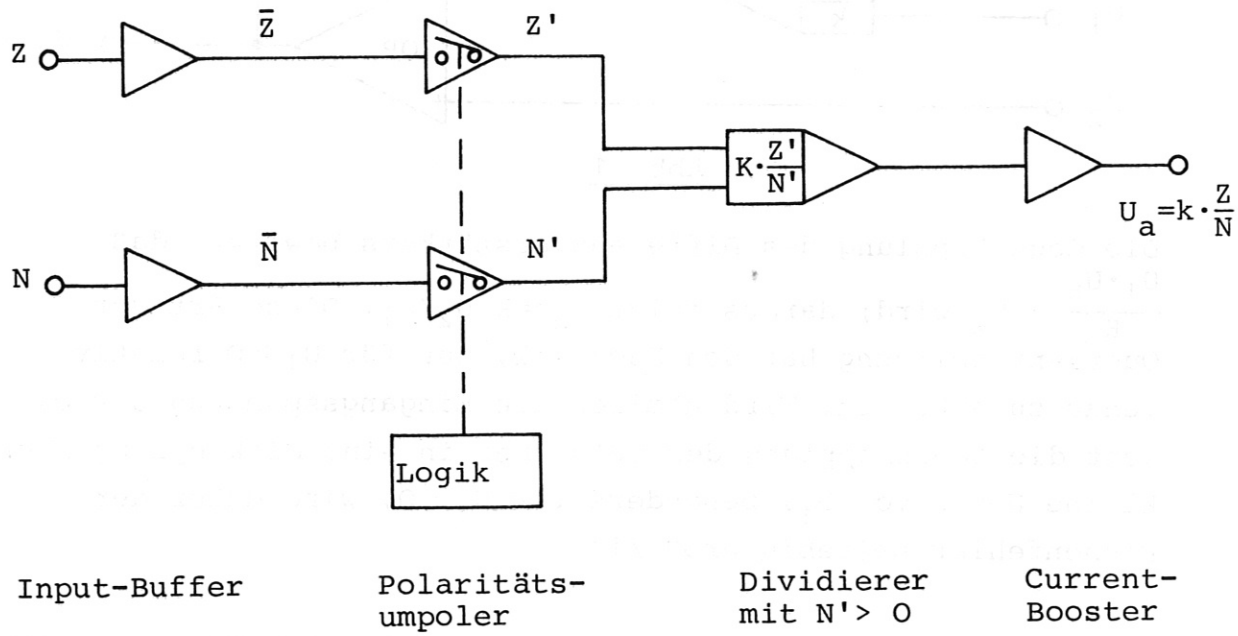


Abb. 2

2.1 Funktionsweise

Ein Input-Buffer gestattet es, das Eingangssignal hochohmig und differenziell abzugreifen und damit das Meßobjekt nicht zu belasten. Der hier gewählte ZQD bildet für O > Z' > O und N' > O den Quotienten k·Z'/N'. Da für den Nenner die Gleichung N' > O immer erfüllt sein muß, sorgt ein Polari-

tätsumpoler für diese Bedingung. Im Zählerzweig garantiert ebenfalls ein Polaritätsumpoler dafür, daß das Ausgangssignal U_a wieder sein algebraisch richtiges Vorzeichen erhält. Die vier Gleichungen

$$\begin{aligned} +Z/+N &= +U_a \\ +Z/-N &= -U_a \\ -Z/+N &= -U_a \\ -Z/-N &= +U_a \end{aligned} \qquad \text{Gl. (1)}$$

müssen natürlich immer erfüllt sein. Diese sehr schnellen Schaltvorgänge erzeugen Schaltspitzen, die durch die Eingangsstufen vom Meßobjekt ferngehalten werden und durch den Dividierer integriert werden, so daß auch die Ausgangsspannung nicht beeinflußt wird. Ein nachgeschalteter Current-Booster ermöglicht es, den Ausgang niederohmig zu belasten.

2.2 Polaritätsumpolung

Umfangreiche Laboraufbauten und Untersuchungen ergaben, daß ein schneller Feldeffekttransistor (FET) im positiven Zweig eines Operationsverstärkers (OP) eine relativ einfache, sichere und exakte Umtastung erlaubt.
Abbildung 3 zeigt schematisch die Schaltung:

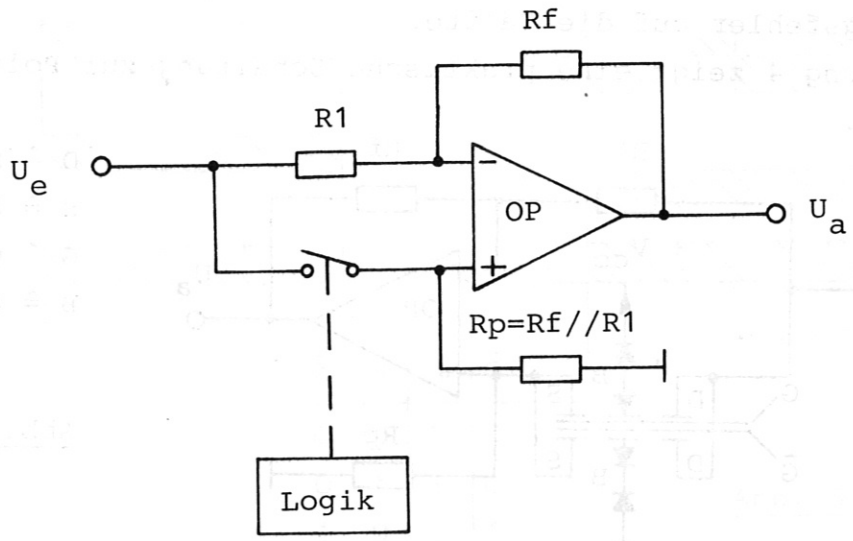


Abb. 3

Bei offenem FET (nicht angesteuert) arbeitet der OP als Umkehrverstärker mit der Verstärkung $V = Rf/R1$; mit $Rf=R1 \Longrightarrow$

$$U_a = -U_e$$

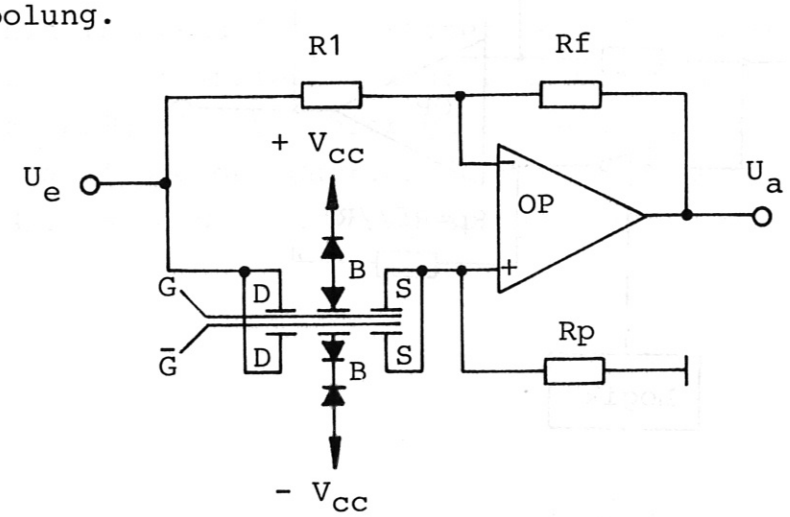
Bei geschlossenem FET wird der OP als Differenzverstärker betrieben. Die Ausgangsspannung folgt der Beziehung

$$\begin{aligned} U_a &= U_e^+ - U_e^- \\ &= U_e(1+Rf/R1) - U_e\ Rf/R1; \text{ mit } Rf=R1 \text{ und } V_o \rightarrow \infty \Longrightarrow \\ &= 2U_e - U_e \qquad\qquad V_o \mathrel{\hat{=}} \text{open loop gain} \end{aligned}$$

$$U_a = +U_e$$

2.2.1 FET als Schalter

Da jeder FET im geschalteten Zustand einen Bahnwiderstand R_{DS} besitzt, teilt sich die Eingangsspannung U_e^+ entsprechend der Größe von R_{DS} auf; das heißt konkret an R_p liegt nicht die volle Spannung U_e an. Man wird nun versucht sein, den Widerstand R_{DS} gegen Null gehen zu lassen, um den Fehler am Ausgang so klein wie möglich zu halten. Eine simple aber wirkungsvolle Lösung besteht in der Parallelschaltung zweier komplementärer FET's. Wird diese Schaltung bipolar angesteuert, reduziert man den störenden Widerstand R_{DS} und damit auch den Ausgangsfehler auf die Hälfte.
Abbildung 4 zeigt eine praktische Schaltung zur Polaritätsumpolung.



D ≙ Draine
S ≙ Source
G ≙ Gate
B ≙ Su ≙ Substrat

Abb. 4

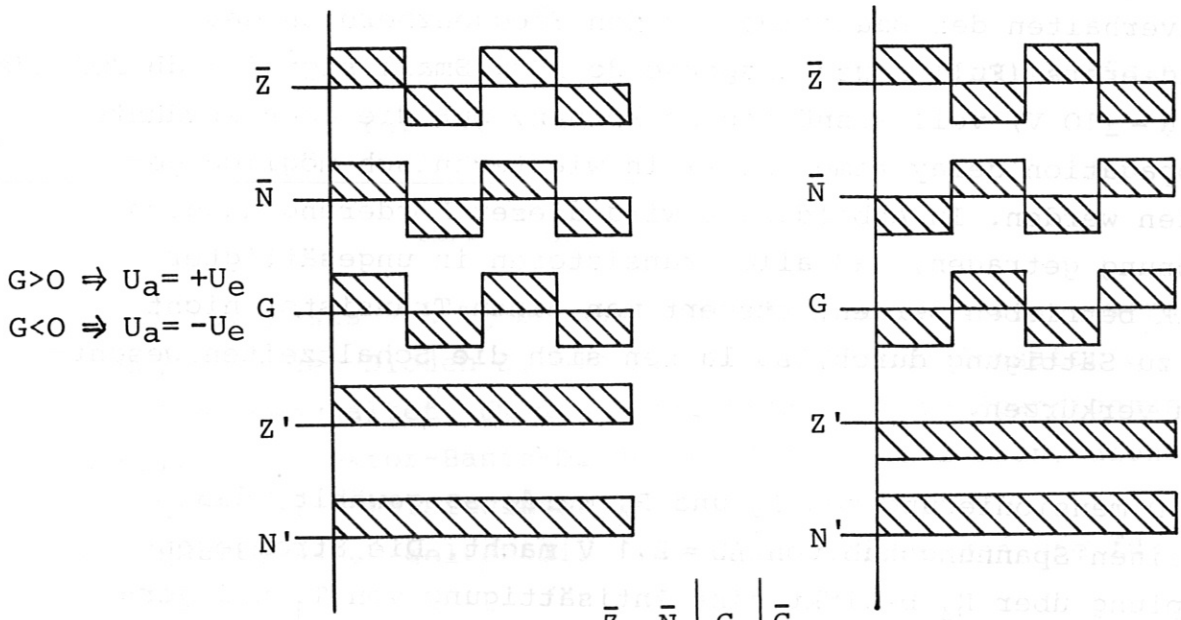
Neben der oben erwähnten Parallelschaltung zweier komplementärer FET's weist die Schaltung noch einige Besonderheiten auf:

- Damit das Gate-Steuersignal keinen störenden Einfluß auf das umzupolende Meßsignal hat und um einen möglichst hochohmigen Widerstand ($\approx 10^{15}\ \Omega$) bei offenem FET zu erzielen, wurde ein "Enhancement" (selbstsperrend) MOSFET verwendet.

- Eine "back to back" Schaltung, die durch eine zusätzliche Diode im Substratzweig erzielt wird, sorgt für sicheres Schalten und verhindert eine Zerstörung des Bauteils durch Überspannungsspitzen /2/.

2.2.2 Ansteuerung des Feldeffekttransistors

Berücksichtigt man, daß der Nenner des verwendeten ZQD positiv und Gleichung (1) erfüllt sein muß, liefert Abb. 5 die erforderliche Logik zur Ansteuerung des FET's.



$\bar{Z}$	$\bar{N}$	G	$\bar{G}$
0	0	0	1
0	1	1	0
1	0	0	1
1	1	1	0

Abb. 5

$$G = \bar{Z}\,\bar{N} + Z\,\bar{N} \qquad \text{für N-channel FET}$$
$$\bar{G} = Z\,N + \bar{Z}\,N \qquad \text{für P-channel FET}$$

Um ein sicheres Schalten des FET's gewährleisten zu können, muß der Gateeingang mit einem bipolaren Signal angesteuert werden. Da der Spannungshub ΔU bei den verwendeten OP's 20 V betragen kann, muß das Steuersignal größer als ± 10 V sein; gewählt wurde ± 15 V.

Das letzte noch fehlende Glied zum Vier-Quadranten-Betrieb ist somit eine Pegelumsetzung des unipolaren Steuersignals G bzw. $\bar{G}$ in eine bipolare Spannung.
Die eigentliche Schwierigkeit innerhalb vier Quadranten dividieren zu können, besteht in der Tatsache, daß das Meßsignal nicht beliebig schnell umgetastet werden kann. Wechselt der Nenner z.B. sein positives Vorzeichen, so braucht jede Logik eine gewisse Zeit, dies zu erkennen und zu verarbeiten. Während dieser Verzögerungszeit gelangen negative Signale zum Nennereingang des Dividierers und bewirken ein Fehlverhalten des Bauteiles. Um den Frequenzbereich des Dividierers (Full Power Response 2o kHz, Small signal-3 dB 200 kHz bei $N = \pm 10$ V) voll ausnützen zu können, muß die oben erwähnte "Propagation delay time" so klein wie technisch möglich gehalten werden. In Abbildung 6 wird dieser Forderung dadurch Rechnung getragen, daß alle Transistoren in ungesättigter Logik betrieben werden; steuert man einen Transistor nicht bis zu Sättigung durch, so lassen sich die Schaltzeiten wesentlich verkürzen.

Die Dimensionierung von R_3 und R_4 wurde so gewählt, daß T_1 einen Spannungshub von $\Delta U = 2{,}1$ V macht. Die Stromgegenkopplung über R_4 bewirkt eine Antisättigung von T_1 und vergrößert den Eingangswiderstand der Schaltung um den Betrag

Abb. 6a

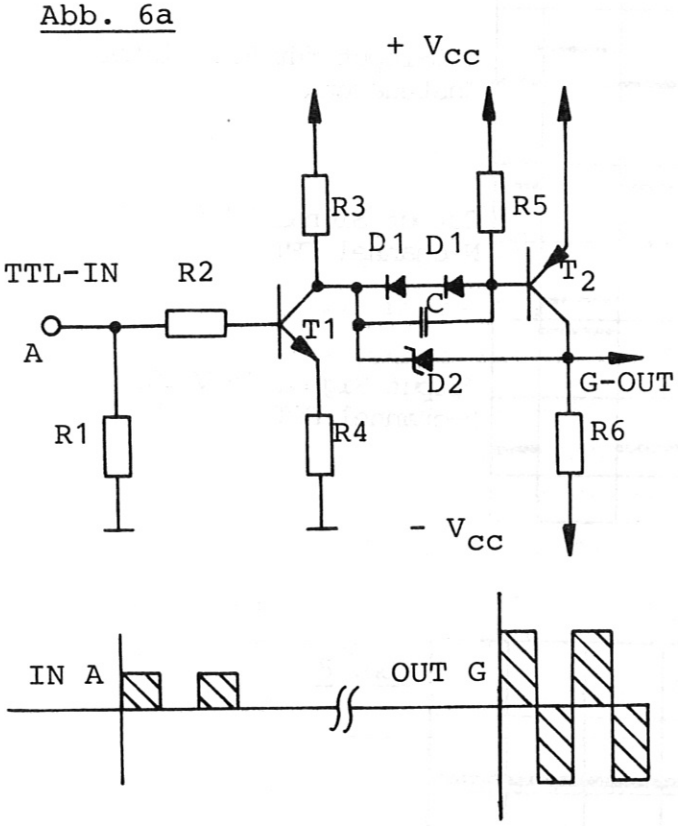
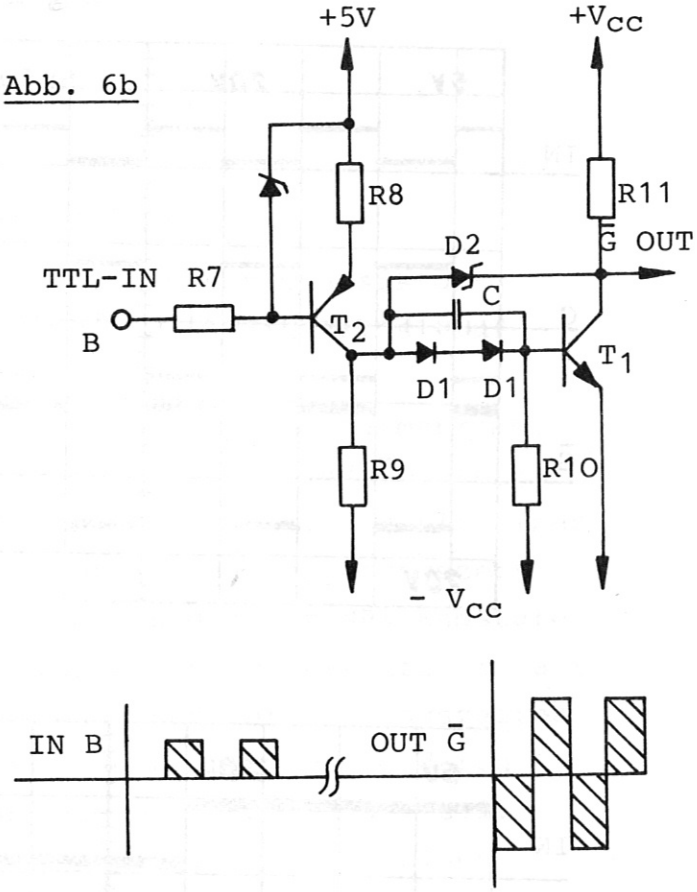


Abb. 6b



von βR_4. Für den Eingangswiderstand der Schaltung gilt dann für $r_{CE} >> R_4$

$$r'_e = \frac{dU_e}{dI_B} = r_{BE} + \beta R_4 \quad /1/ \qquad \text{Gl.(2)}$$

Die Antisättigungsdiode D_2 läßt die Kollektor-Emitter-Spannung von T_2 nicht unter 1,8 V absinken.

$$U_{CE} = U_{BE} + 2\ U_{D1} - U_{D2} \qquad \text{Gl.(3)}$$

Damit die Basis von T_2 schnell von Elektronen geräumt werden kann, wird den Dioden D_1 ein kleiner Ableitkondensator C parallel geschaltet. Um den Sperrstrom, der in Sperrichtung gepolten Kollektor-Basis-Diode, abfließen zu lassen, dient der hochohmige Ableitwiderstand R_5.
Für Abbildung 6b gelten die gleichen Überlegungen wie für Abb.6a.

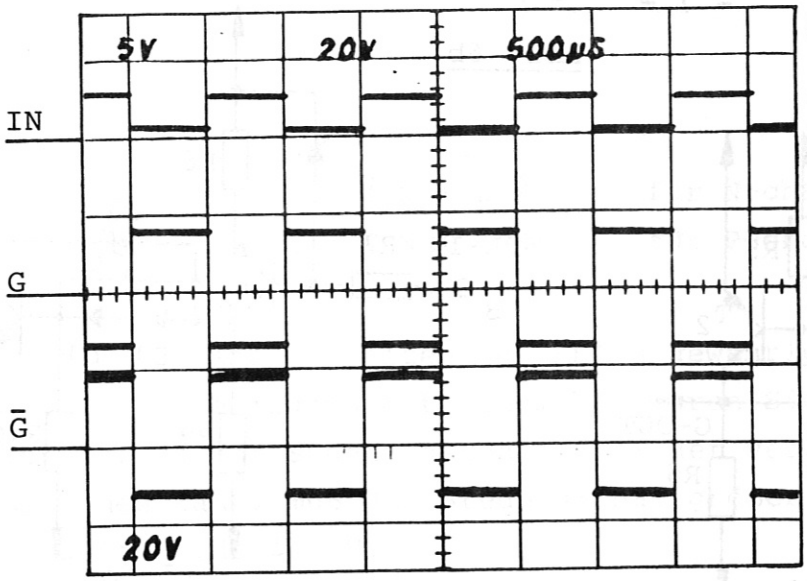


Abb. 7

TTL-Input für Transistor Ansteuerung

Output Signal ± 15 V für N-channel FET

Output Signal 15 V für P-channel FET

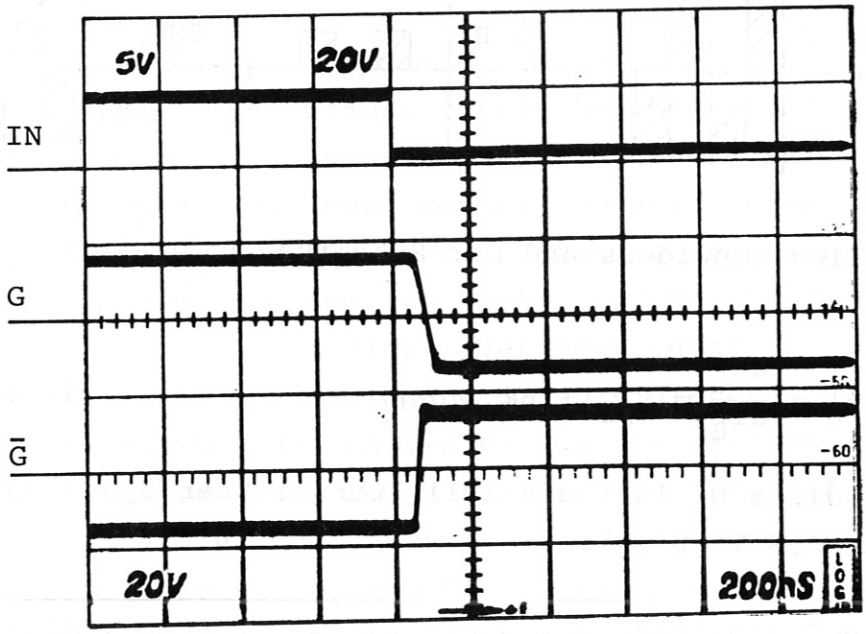


Abb. 8

falltime
t_f(10...90%) ≤ 50 ns

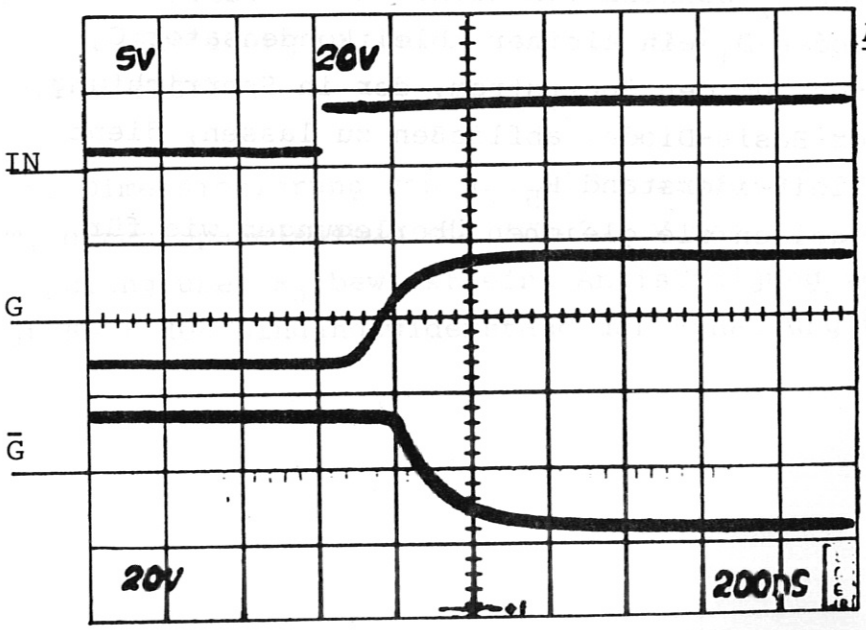


Abb.9

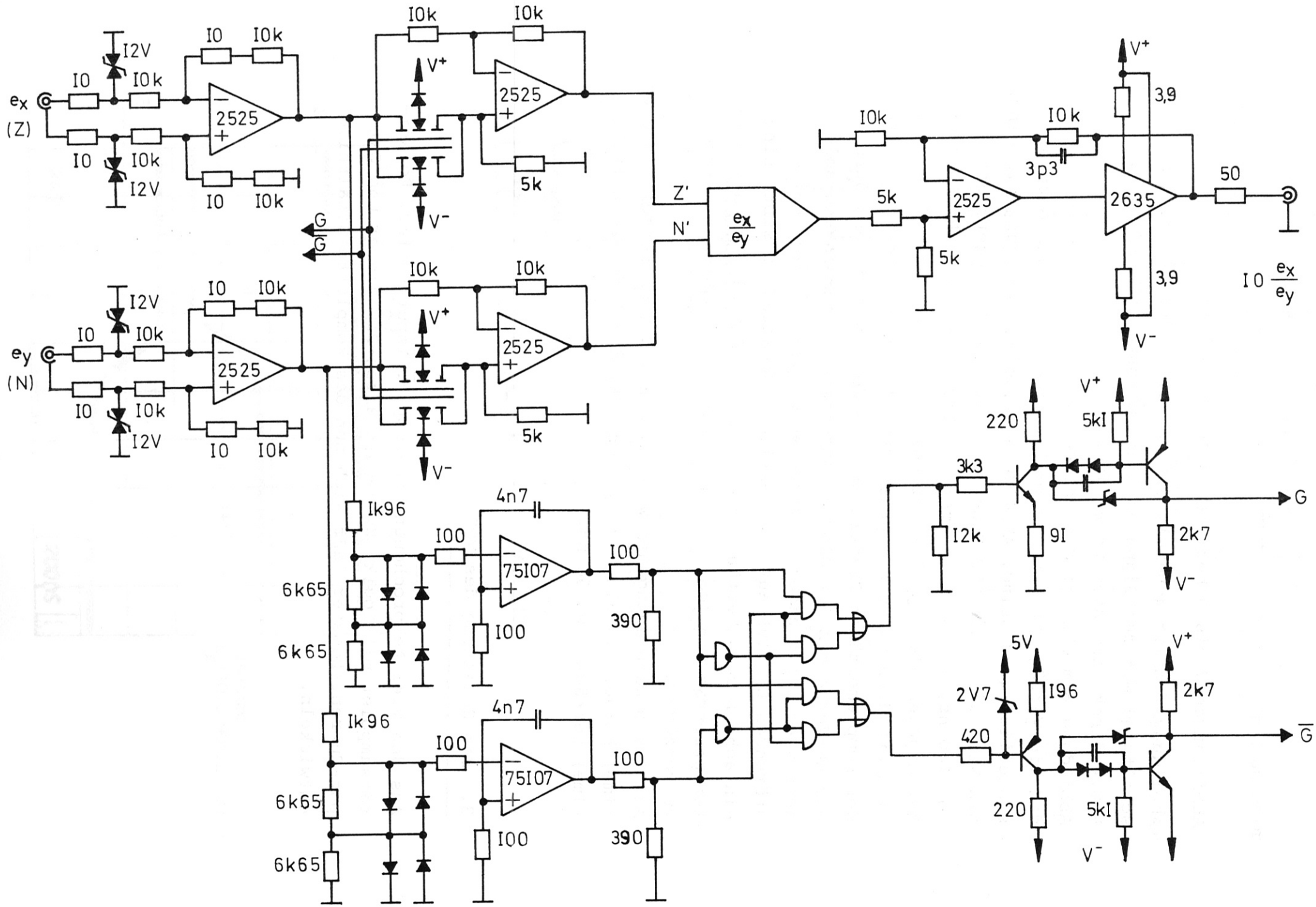
risetime
t_r(10...90%) ≤ 200 ns

Abbildungen 7 bis 9 beziehen sich auf Abb.6:

Abbildung 7 zeigt generell das Verhalten der Transistorschaltung; mit den Signalen G und $\bar{G}$ können die FET's von Abb.4 direkt angesteuert werden.
Abbildung 8 macht auf die interessante Tatsache aufmerksam, daß die Verzögerungszeiten (delay time) von G und $\bar{G}$ unterschiedlich groß sind. Abbildung 6a, eine Schaltung mit einer NPN Vor- und einer PNP Endstufe, hat eine Verzögerungszeit von 1oo ns; Abb.6b mit einer PNP Vor- und einer NPN Endstufe hat dagegen die doppelte Verzögerungszeit. Dieser Effekt läßt sich erklären durch die unterschiedlichen Verzögerungszeiten der komplementären Transistoren, jedoch überwiegend durch das HF-Verhalten der Dioden. Auf diesen Zusammenhang soll aber hier nicht näher eingegangen werden, da dies keinen störenden Einfluß auf die restliche Schaltung ausübt. Eine einfache Lösung bestände jedoch darin, Signal G um den Differenzbetrag von 1oo ns mittels einer Verzögerungsleitung zu verzögern.
Aus Abb.9 kann entnommen werden, daß die Speicherzeit (storage time) beider Signale etwa gleich ist; die Abfallzeit (fall time) beträgt etwa 5o ns.

3. Die Schaltung des VQD

Aus den vier besprochenen Baugruppen: Input Buffer, Polaritätsumpoler mit Logik, Zwei-Quadranten-Dividierer und Output-Current-Booster läßt sich nun das komplette Schaltbild entwickeln.


ex
(Z)
ey
(N)
10
10k
12V
2525
V+
V-
5k
G
Ḡ
Z'
N'
ex/ey
3p3
3,9
2635
50
10 ex/ey
Ik96
4n7
100
75107
390
6k65
220
5kI
3k3
12k
9I
2k7
5V
2V7
I96
420

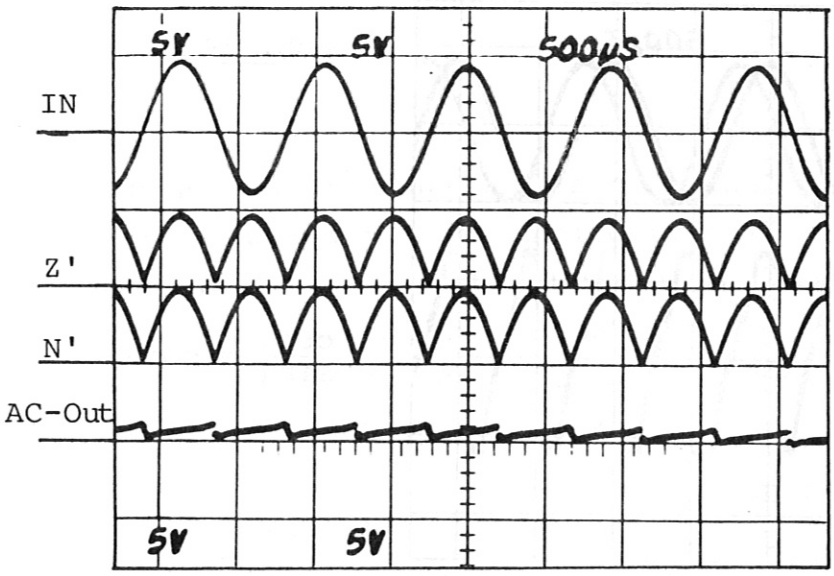


Abb. 11

Kanal 1; $U(t)=\hat{U}\sin\omega t$

Kanal 2 } gleichgerichtete Sinusfunktion

Kanal 3

Kanal 4; $U_{out}=10\frac{\hat{U}\sin\omega t}{\hat{U}\sin\omega t}=+10\,V$

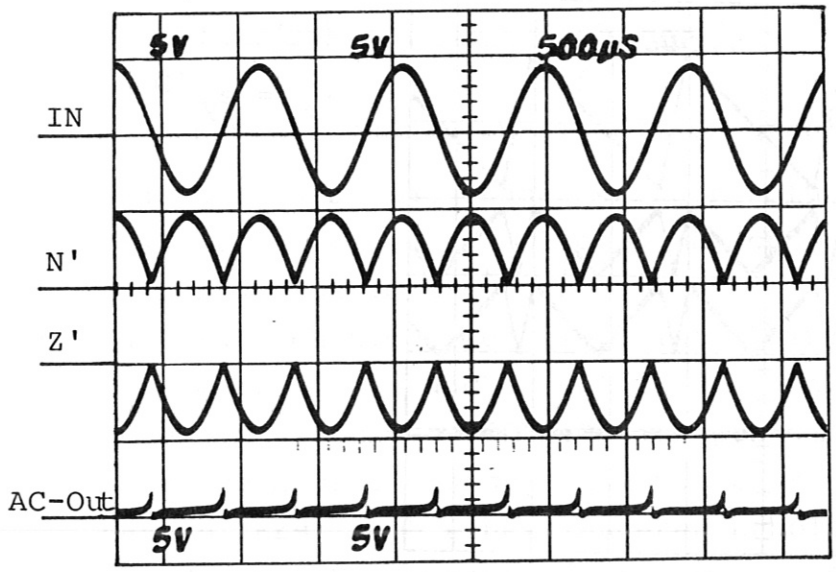


Abb. 12

Kanal 1; $U(t)=\hat{U}\sin(\omega t+0^{o})$

Kanal 2 } polaritätsrichtiges Signal für Dividierer

Kanal 3

Kanal 4; $U_{out}=$
$=10\frac{\hat{U}\sin(\omega t+\ \ 0^{o})}{\hat{U}\sin(\omega t-180^{o})}=-10\,V$

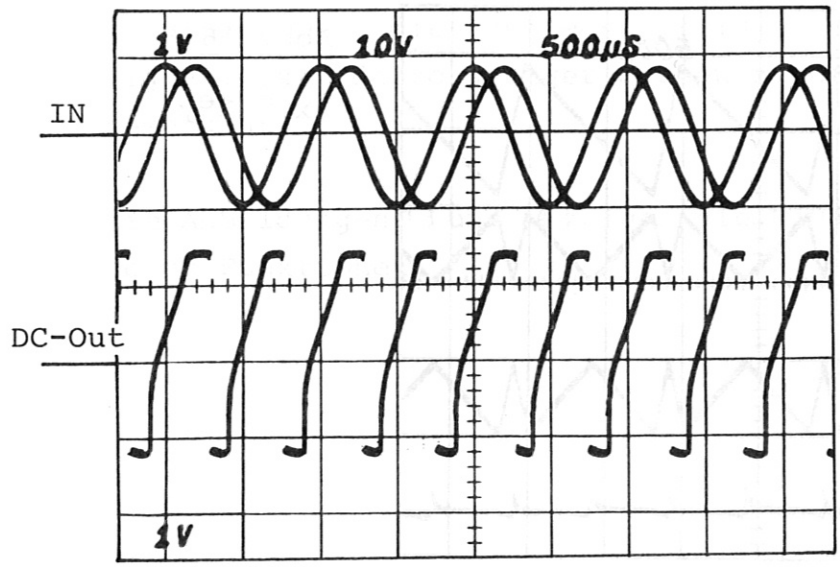


Abb. 13

$\frac{\sin\alpha}{\cos\alpha}=\tan\alpha$

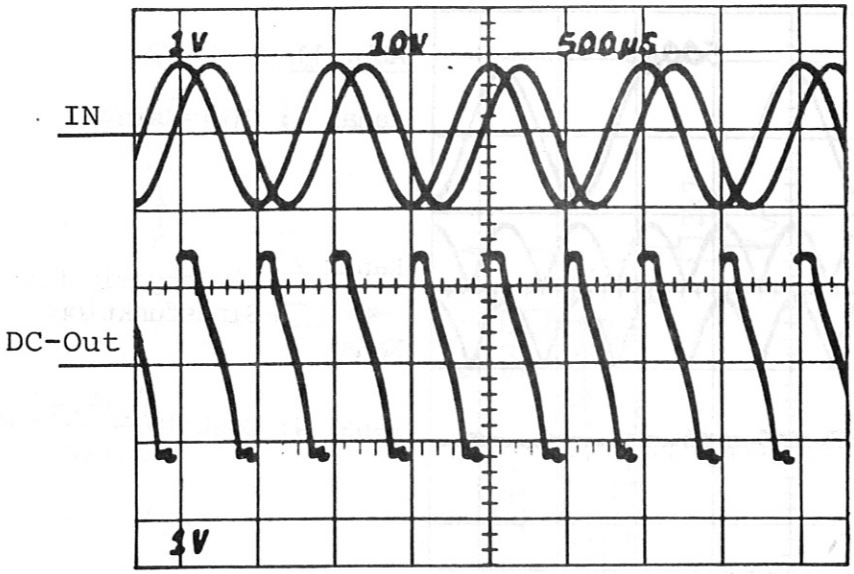


Abb. 14

$$\frac{\cos\alpha}{\sin\alpha} = \cot\alpha$$

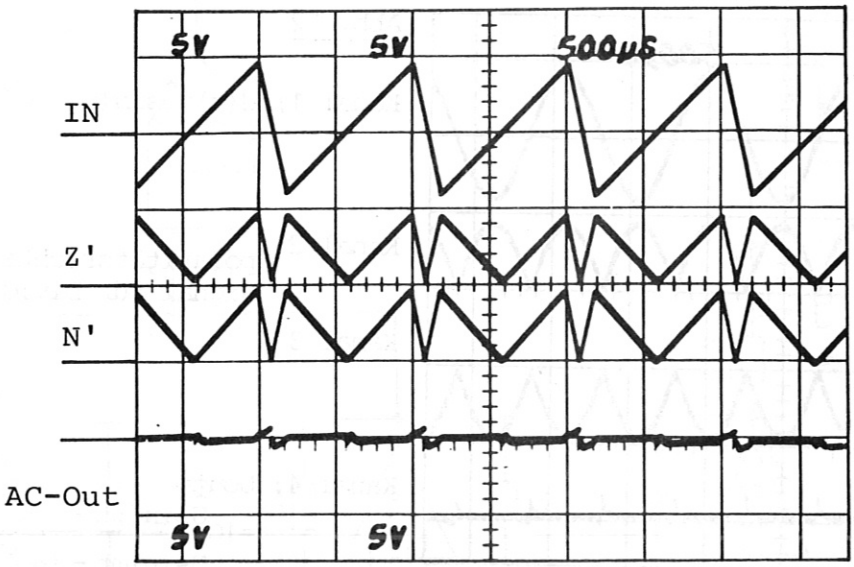


Abb. 15

$e_x = e_y$

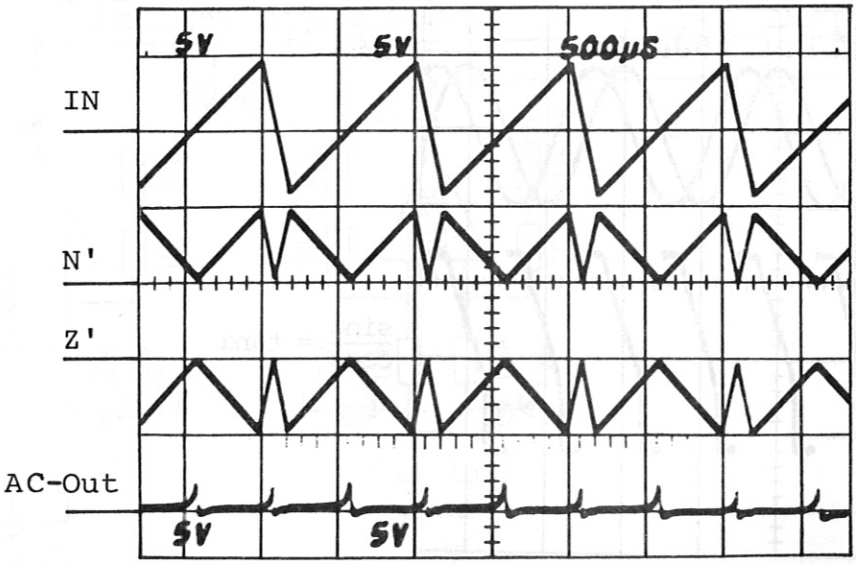


Abb. 16

$e_x = -e_y$

Einige wichtige und wohl auch technisch interessante Divisionen wurden mit den Abbildungen 11 bis 16 optisch festgehalten:

In Abb.11 wird die Sinusfunktion $U(t) = \hat{U}_{\sin\omega t}$ durch sich selber dividiert; der ZQD multipliziert das Ergebnis noch mit dem konstanten Faktor $k = 10$. Das Ausgangssignal $U_{out} = 10 \frac{\hat{U}_{\sin\omega t}}{\hat{U}_{\sin\omega t}}$ muß demnach eine konstante Spannung von + 10 V sein.

Kanal 1 zeichnet die Sinusfunktion $U(t) = \hat{U}_{\sin\omega t}$ für die beiden Eingänge ex(Z) und ey(N) auf. Kanal 2 und 3 zeigen, wie die Signale Z' und N' gepolt sein müssen, damit der ZQD

a) keine verbotene Polarität erhält (N' > O);
b) Gleichung (1) erfüllt ist;
c) als Vier-Quadranten-Dividierer arbeitet.

Das Ausgangssignal (Kanal 4) kann natürlich nur annäherend als Gerade bezeichnet werden. Während einer endlichen Zeit Δt muß der Dividierer den Quotienten OV/OV bilden, was sowohl mathematisch nicht definiert ist (keine bestimmte Form des Grenzwertes) als auch elektronisch nicht möglich ist. Es kommt zu einem "latch up Effekt", das heißt, das Bauteil wird bis an seine Aussteuerungsgrenze hin betrieben und bleibt dort hängen. Erst nach einer längeren Erholzeit kann die Division für Signale $U \neq O$ fortgeführt werden. Dieser"latch up Effekt" bewirkt kurze Spannungsspitzen (Spikes), die in Abbildung 11 Kanal 4 oder noch besser in Abbildung 12 Kanal 4 deutlich zu erkennen sind. Je schneller der Wert $U(t) = OV$ durchfahren wird, je größer also die Anstiegszeit (slew rate) $S_R = \Delta U/\Delta t$ des Signals ist, desto weniger machen sich diese Spannungsspitzen bemerkbar.

Die Abbildungen 13 und 14 zeigen die Division von trigonometrischen Funktionen:

Abb. 13

$$\left.\begin{aligned} ex &= \hat{U}\sin(\omega t + 0^{o}) \\ ey &= \hat{U}\sin(\omega t - 90^{o}) \end{aligned}\right\} \frac{ex}{ey} = \tan\omega t \Rightarrow \frac{\sin\alpha}{\cos\alpha} = \tan\alpha$$

Abb. 14

$$\left.\begin{aligned} ex &= \hat{U}\sin(\omega t + 90^{o}) \\ ey &= \hat{U}\sin(\omega t + 0^{o}) \end{aligned}\right\} \frac{ex}{ey} = \cot\omega t \Rightarrow \frac{\cos\alpha}{\sin\alpha} = \cot\alpha$$

Die Abbildungen 15 und 16 entsprechen den Abb. 11 und 12; nur wurde hier keine Sinusfunktion sondern eine Rampe an den Eingang des Dividierers angelegt.

4. Fehlerrechnung

Der verwendete ZQD hat getrimmt eine Genauigkeit von 0,25 % für N' > 10 mV. Es soll nun untersucht werden, in wie weit die anderen Bauteile diesen Wert negativ beeinflussen.
Für die Eingangsfehlspannung eines Operationsverstärkers gilt:

$$|U_{\varepsilon}| \approx U_{off} + \Delta U_{off} + (I_B^o + \Delta I_B^o)\,\Delta Ri + (I_{off} + \Delta I_{off})\,Ri \qquad \text{Gl.(4)}$$

mit	U_{off}	≙ Offset Voltage	1o mV
	ΔU_{off}	≙ Offset Voltage Drift	3o µV/°C
	I_B^o	≙ Bias Current	5oo nA
	ΔI_B^o	≙ Bias Current Drift	6,15nA/5o° C
	ΔRi	≙ Ria-Rib	
	I_{off}	≙ Offset Current	1oo nA
	ΔI_{off}	≙ Offset Current Drift	6,15nA/5o°C
	Ri	≙ $\frac{Ria + Rib}{2}$	

4.1 Eingangsfehlspannung der Eingangsstufe

Ria = Rib $\Longrightarrow$ $\Delta Ri = 0$

Nach einem Offsetabgleich wird auch $U_{off} = 0$. Damit reduziert sich Gleichung (4) auf zwei Summanden.

$$|U_\varepsilon| \approx \Delta U_{off} + (I_{off} + \Delta I_{off}) Ri \qquad \text{Gl.(5)}$$

Für den OP HA-2525 von der Firma Harris gilt dann für

$\Delta\theta = 50^{o}\ C$

$$|U_{\varepsilon 1}| = \Delta U_{off} + (I_{off} + \Delta I_{off}) Ri$$

$$= \frac{30\ \mu V \cdot 50^{o}C}{^{o}C} + (100\ nA + 6{,}15\ nA)\ 5\ k\Omega$$

$$= 1{,}5\ mV \quad + 531\ \mu V$$

$$\underline{\underline{|U_{\varepsilon 1}| = 2{,}03\ mV}}$$

4.2 Eingangsfehlspannung des Polaritätsumpolers

Bei nicht angesteuertem FET und nach einem Offsetabgleich gilt Gleichung (5)

$$|U_{\varepsilon 2}| = \Delta U_{off} + (I_{off} + \Delta I_{off}) Ri = 2{,}03\ mV$$

$$\underline{\underline{|U_{\varepsilon 2}| = 2{,}03\ mV}}$$

Bei angesteuertem FET und nach einem Offsetabgleich sind die beiden Eingangswiderstände nicht gleich $\Longrightarrow$

$$\Delta Ri = Ria - Rib = 5\ k - 50\ \Omega = 4{,}95\ k\Omega$$

$$Ri = \frac{Ria + Rib}{2} = \frac{5\ k + 50\ \Omega}{2} = 2{,}525\ k\Omega$$

$$|U_{\varepsilon 3}| = \Delta U_{off} + (I_B^o + \Delta I_B^o)\Delta Ri + (I_{off} + \Delta I_{off})Ri$$

$$= \frac{30\mu V \cdot 50^oC}{^oC} + (500nA + 6{,}15nA)\,4{,}95k\Omega + (100nA + 6{,}15nA)\,2{,}525\,k\Omega$$

$$= 1{,}5\ mV + 2{,}5\ mV + 0{,}27\ mV$$

$$\underline{\underline{|U_{\varepsilon 3}| = 4{,}27\ mV}}$$

Die Rechnung zeigt, daß die Unsymmetrie von Ria und Rib die Eingangsfehlspannung des Umpolers um 50 % verändern kann.

Bei sehr kleinen Eingangssignalen $U_e \geq 10$ mV kann diese relativ kleine Eingangsfehlspannung zu sehr großen Fehlern führen. Im ungünstigsten Fall addieren sich die Fehlspannungen im Zähler und im Nenner subtrahieren sie sich:

$$U_{\varepsilon Zähler} = U_{\varepsilon 1} + U_{\varepsilon 3} = 2{,}03\ mV + 4{,}27\ mV = 6{,}3\ mV$$

$$U_{\varepsilon Nenner} = U_{\varepsilon 1} - U_{\varepsilon 3} = 2{,}03\ mV - 4{,}27\ mV = -2{,}24 mV$$

Dividiert man nun eine relativ kleine Spannung z.B. 10 mV, ex = ey = 10 mV, so beträgt der Fehler nicht mehr 0,25 % sondern 110 %.

$$U_a = 10\,\frac{10\ mV + 6{,}3\ mV}{10\ mV - 2{,}24 mV} = 21\ V \mathrel{\hat{=}} \Delta f = 110\ \%$$

Erhöht man die Eingangsspannung U_e um den Faktor 10 reduziert sich der Fehler bereits auf 8,7 %

$$U_a = 10\,\frac{100\ mV + 6{,}3\ mV}{100\ mV - 2{,}24 mV} = 10{,}87\ V \mathrel{\hat{=}} \Delta f = 8{,}7\ \%$$

Wie praktische Messungen an verschiedenen Geräten zeigten, kann bei einer Eingangsspannung von ex = ey $\geq$ 80 mV mit einem Fehler $\leq$ 1 % gerechnet werden.

Dies läßt sich folgendermaßen erklären:
Es wurde bisher nur das Driftproblem behandelt und für Werte von $\Delta\theta = 5o^{o}$ C der Einfluß von $U_{\varepsilon Drift}$ untersucht. Die Eingangsfehlspannung eines OP's ist jedoch noch von anderen Faktoren abhängig.

$-U_{\varepsilon D}$ ≙ Fehlspannung durch Drift (wurde berücksichtigt)

$-U_{\varepsilon G}$ ≙ Fehlspannung durch endliche Gleichtaktunterdrückung

$-U_{\varepsilon S}$ ≙ Fehlspannung durch Änderung der Versorgungsspannung

$-U_{\varepsilon t}$ ≙ Fehlspannung durch Alterung

Rein mathematisch ergibt sich der Gesamtfehler $U_{\varepsilon ges}$ durch Superposition aller Teilfehler.

$$|U_{\varepsilon ges}| = |U_{\varepsilon D}| + |U_{\varepsilon G}| + |U_{\varepsilon S}| + |U_{\varepsilon t}| \qquad \text{Gl.(6)}$$

Dies ist jedoch der ungünstigste Fall (worst case). Es wird in der Regel so sein, daß sich einige Summanden gegenseitig aufheben; andere sind so klein, daß sie den Wert von $U_{\varepsilon ges}$ nicht beeinflussen.

5. Elektrische Daten

Übertragungsfunktion	$e_o = 10 \frac{e_x}{e_y}$
Genauigkeit	
Gesamtfehler, N ≥ 100 mV	≤ 1 %
Fehler durch Temperaturschwankung	0,6 %/° C
Fehler durch Versorgungsspannungsschwankung	0,2 %/%
AC-Daten, N = ± 10 V	
Kleinsignal, -3 dB	200 kHz
Großsignalgrenzfrequenz	20 kHz
0,5 % Amplitudenfehler	15 kHz
0,5 % Phasenfehler	600 Hz
Anstiegsgeschwindigkeit	1,25 V/µsec
Eingangsdaten	
Eingangsspannung	-10 V ≤ Z ≤ +10 V -10 V ≤ N ≤ +10 V
Eingangswiderstand	10 kΩ
Ausgangsdaten	
Ausgangsspannung	± 10 V
Ausgangsstrom	100 mA
Ausgangswiderstand	50 Ω
Betriebstemperaturbereich	-25° C bis +85° C

6. Literatur

/1/ Tietze,U. und Schenk,Ch., Halbleiter-Schaltungstechnik, 3. Auflage, Berlin-Heidelberg-New York 1976, S.287

/2/ Se + Intersil, Discrete Semiconductor Guide, S.21